

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 08 月 25 日
Application Date

申請案號：092123305
Application No.

申請人：財團法人工業技術研究院
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 9 月 19 日
Issue Date

發文字號：09220944590
Serial No.

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 92123305

※ 申請日期： 92. 8. 25 ※IPC 分類：

壹、發明名稱：(中文/英文)

低電壓輸入之掃瞄驅動器、掃瞄驅動系統及其電壓準位移轉電路

Scan driver, scan driving system with low input voltage and their level shift voltage circuit

貳、申請人：(共 1 人)

姓名或名稱：(中文/英文)

財團法人工業技術研究院

Industrial Technology Research Institute

代表人：(中文/英文) 翁政義 / Cheng-I Weng

住居所或營業所地址：(中文/英文)

新竹縣竹東鎮中興路四段一九五號

No. 195, Sec. 4, Chung Hsing Rd., Chutung, Hsinchu

國 籍：(中文/英文) 中華民國 / R.O.C.

參、發明人：(共 4 人)

姓 名：(中文/英文)

1. 施俊任 / Jun-Ren Shih

2. 張嘉伯 / Chia-Pao Chang

3. 王博文 / Bowen Wang

4. 林展瑞 / Jan-Ruei Lin

住居所地址：(中文/英文)

1. 彰化縣秀水鄉彰水路 2 段 305 號

No.305, Sec. 2, Jhangshuei Rd., Sioushuei Township, Changhua County

2. 台北市大安區延吉街 153-8 號 5 樓

5F., No.153-8, Yanji St., Da-an District, Taipei City

3. 台北縣樹林市東興街 16 巷 6 弄 4 號

No.4, Alley 6, Lane 16, Dongsing St., Shulin City, Taipei County

4. 台北縣中和市圓通路 158 巷 5 弄 3-4 號 5 樓

5F., No.3-4, Alley 5, Lane 158, Yuantong Rd., Jhonghe City, Taipei County

國 籍：(中文/英文) 1.2.3.4. 中華民國 / R.O.C.

肆、聲明事項：

☐ 本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間，其日期為： 年 月 日。

◎本案申請前已向下列國家（地區）申請專利 ☐ 主張國際優先權：

【格式請依：受理國家（地區）；申請日；申請案號數 順序註記】

1. 無

2.

3.

4.

5.

☐ 主張國內優先權（專利法第二十五條之一）：

【格式請依：申請日；申請案號數 順序註記】

1. .

2.

☐ 主張專利法第二十六條微生物：

☐ 國內微生物 【格式請依：寄存機構；日期；號碼 順序註記】

☐ 國外微生物 【格式請依：寄存國名；機構；日期；號碼 順序註記】

☐ 熟習該項技術者易於獲得，不須寄存。

伍、中文發明摘要：

本發明係有關於一種低電壓輸入之掃瞄驅動器、掃瞄驅動系統及其電壓準位移轉電路，係包括閃鎖單元、電壓準位移轉電路以及緩衝器，閃鎖單元用以產生第一控制信號與第二控制信號，電壓準位移轉電路係與閃鎖單元相連接，以接收第一控制信號、第二控制信號、第一時脈信號以及第二時脈信號，俾供依據該等信號而輸出一高電壓準位之掃瞄信號，繼而透過緩衝器增加掃瞄信號之驅動能力。

陸、英文發明摘要：

Scan driver, scan driving system with low input voltage and their level shift voltage circuit are disclosed. The scan driver includes a latch unit, the level shift voltage circuit and a buffer. The latch unit generates a first control signal and a second control signal. The level shift voltage circuit is connected with the latch unit to receive the first control signal, the second control signal, a first clock signal and a second clock signal so as to output a high level voltage scan signal based on the signals. The buffer enhances the driving ability of the scan signal for driving the thin-film transistors (TFT) of a display panel.

柒、指定代表圖：

(一)本案指定代表圖為：圖(1)。

(二)本代表圖之元件代表符號簡單說明：

門鎖單元	1	設置接腳	11
重置接腳	12	第一控制信號接腳	13
第二控制信號接腳	14	電壓準位移轉電路	2
第一輸入接腳	21	第一時脈信號接腳	22
第二時脈信號接腳	23	第二輸入接腳	24
電壓準位移轉電路	25	緩衝器	3
輸出端			

捌、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

「無」

玖、發明說明：

【發明所屬之技術領域】

本發明係關於一種掃瞄驅動器 (Scan Driver)，尤指一種低電壓輸入之掃瞄驅動器、掃瞄驅動系統及其電壓準
5 位移轉電路。

【先前技術】

在平面顯示裝置中，顯示面板上的薄膜電晶體 (TFT) 主要是由資料驅動器 (Data Driver，又稱源極驅動器 (Source
10 Driver)) 與掃瞄驅動器 (Scan Driver，又稱閘極驅動器 (Gate Driver)) 所組成之驅動電路來加以控制。其中，掃瞄驅動器係透過其所輸出之波形，依序地將顯示面板中每一行的薄膜電晶體打開，以使得資料驅動器同時將一整行的顯示點充電到各自所需的電壓，而顯示不同之灰階。

15 然而，一般矽製程中的電晶體臨界電壓 (V_T) 約為 1 伏特以下，若應用在低溫多晶矽 (LTPS) 薄膜電晶體製程中，則其薄膜電晶體之臨界電壓約為 2.5 伏~5 伏。在如此高的臨界電壓下，若假設在 2 伏的雜訊範圍，則其輸入信號必須大於 2.5 伏+2 伏=4.5 伏，才能夠打開薄膜電晶體，
20 使得在此種應用中，必須有較高的輸入電壓才能夠驅動其薄膜電晶體，故而較耗電源。

在相關專利文獻中，美國專利第 5,646,642 號專利案，揭露了一種電壓移轉電路，其可輸入較低之電壓而輸出較

高之電壓，然而其設計採用了兩個電流源，故比較耗電而無法適用於耗電需求嚴格之應用。因此，如何設計一種僅需輸入低電壓（例如：3.3 伏）之掃瞄驅動器來驅動顯示面板上的薄膜電晶體，已成為一亟需解決之課題。

5

【發明內容】

本發明之主要目的係在提供一種低電壓輸入之掃瞄驅動器、掃瞄驅動系統及其電壓準位移轉電路，俾能使用低電壓來驅動掃瞄驅動器。

- 10 依據本發明之一特色，所提供之低電壓輸入之掃瞄驅動器係設置於一具有複數薄膜電晶體之平面顯示裝置中，該掃瞄驅動器包括：一閃鎖單元，係用以產生互為反相之第一控制信號與第二控制信號；以及一電壓準位移轉電路，包括：一第一開關單元，係接收一第一時脈信號以及
- 15 一第二時脈信號，並由該第一控制信號進行開關切換；一第二開關單元，連接於一工作電壓，且以一第一連接點與一第二連接點而連接於該第一開關單元，俾藉由該第一開關單元之開關切換來接收該第一時脈信號與該第二時脈信號，以將該第一連接點或該第二連接點之電壓準位拉升至
- 20 該工作電壓；一第三開關單元，係與該第一、第二連接點以及該工作電壓相連接，並接收該第一控制信號及該第二控制信號，且藉由該第一開關單元之開關切換來接收該第一時脈信號或該第二時脈信號，以提供一穩定狀態處理；以及一第五開關單元，係與該第四開關單元相連接，俾依

據該第四開關單元之開關切換來產生一掃瞄信號，以輸出之。

依據本發明之另一特色，所提供之低電壓輸入之掃瞄驅動系統係由複數個掃瞄驅動器串接而成，每一掃瞄驅動器包括：一閃鎖單元，係以一設定接腳與一重置接腳來產生互為反相之第一控制信號與第二控制信號；以及一電壓準位移轉電路，包括：一第一開關單元，係接收一第一時脈信號以及一第二時脈信號，並由該第一控制信號進行開關切換；一第二開關單元，連接於一工作電壓，且以一第一連接點與一第二連接點而連接於該第一開關單元，俾藉由該第一開關單元之開關切換來接收該第一時脈信號與該第二時脈信號，以將該第一連接點或該第二連接點之電壓準位拉升至該工作電壓；一第三開關單元，係與該第一、第二連接點以及該工作電壓相連接，並接收該第一控制信號及該第二控制信號，且藉由該第一開關單元之開關切換來接收該第一時脈信號或該第二時脈信號，以提供一穩定狀態處理；以及一第五開關單元，係與該第四開關單元相連接，俾依據該第四開關單元之開關切換來產生一掃瞄信號於一輸出端，其中，每一掃瞄驅動器的輸出端係與下一掃瞄驅動器之設定接腳相連接，每一掃瞄驅動器之重置接腳係與下一掃瞄驅動器之輸出端相連接。

依據本發明之又一特色，所提供之電壓準位移轉電路包括：一第一開關單元，係接收一第一時脈信號以及一第二時脈信號，並由一第一控制信號進行開關切換；一第二

開關單元，連接於一工作電壓，且以一第一連接點與一第二連接點而連接於該第一開關單元，俾藉由該第一開關單元之開關切換來接收該第一時脈信號與該第二時脈信號，以將該第一連接點或該第二連接點之電壓準位拉升至該工作電壓；一第三開關單元，係與該第一、第二連接點以及該工作電壓相連接，並接該第一控制信號及該第二控制信號，且藉由該第一開關單元之開關切換來接收該第一時脈信號或該第二時脈信號，以提供一穩定狀態處理；一第四開關單元，係與該第一、第二連接點以及該工作電壓相連接，俾依據該第一接點及第二接點之電壓準位來進行開關切換；以及一第五開關單元，係與該第四開關單元相連接，俾依據該第四開關單元之開關切換來產生一掃瞄信號，以輸出之。

【實施方式】

有關本發明之較佳實施例，係以組設於低溫多晶矽（Low Temperature Poly Silicon，LTPS）顯示裝置中的掃瞄驅動器作為例子。圖1顯示本發明之掃瞄驅動器之功能方塊示意圖，其主要由閘鎖單元1、電壓準位移轉電路2以及緩衝器3等主要構件所組成，其中，閘鎖單元1之輸入端具有設定接腳（Set）11與重置接腳（Reset）12，其輸出則具有第一控制信號接腳13與第二控制信號接腳14，電壓準位移轉電路2之輸入部分具有第一輸入接腳21、第一時脈信號接腳22、第二時脈信號接腳23以及第二輸入接腳24。

門鎖單元1之設定接腳11係接收一設定信號，其重置接腳12接收一重置信號，俾供依據設置信號與重置信號來決定其第一控制信號接腳13之輸出與第二控制信號接腳14之輸出，且該第一控制信號接腳13之輸出與第二控制信號接腳14之輸出係互為反相，於本實施例中，門鎖單元1係為一SR門鎖器。

電壓準位移轉電路2之第一輸入接腳21係與門鎖單元1之第一控制信號接腳13相連接，電壓準位移轉電路2之第二輸入接腳24係與門鎖單元1之第二控制信號接腳14相連接。電壓準位移轉電路2之第一時脈信號接腳22及第二時脈信號接腳23分別接收概略互為反相之第一時脈信號clk1及第二時脈信號clk1b，俾供電壓準位移轉電路2依據第一控制信號接腳13之輸出、第二控制信號接腳14之輸出、第一時脈信號以及第二時脈信號來輸出一較高電壓準位之掃瞄輸出信號。

電壓準位移轉電路2之輸出端25係連接至緩衝器3，俾供透過緩衝器3來增加掃瞄輸出信號之驅動能力。有關電壓準位移轉電路2如何輸出一較高電壓準位之掃瞄輸出信號將於下述詳加解說。

圖2顯示電壓準位移轉電路2之內部電路示意圖，其主要由第一開關單元261、第二開關單元262、第三開關單元263、第四開關單元264以及第五開關單元265等主要構件所組成，其中，第一開關單元261具有二個N型薄膜電晶體（Thin Film Transistor, TFT）2611,2612，第二開關單元262

具有二個P型薄膜電晶體2621,2622，第三開關單元263具有二個P型薄膜電晶體2631,2632，第四開關單元264具有二個P型薄膜電晶體2641,2642，第五開關單元265具有二個N型薄膜電晶體2651,2652。

5 於第一開關單元261中，N型薄膜電晶體2611之源極係連接至第一時脈信號接腳22，以接收第一時脈信號，N型薄膜電晶體2612之源極係連接至第二時脈信號接腳23，以接收第二時脈信號，且N型薄膜電晶體2611,2612之閘極皆連接至第一輸入接腳21，以接收閃鎖單元1之第一控制信號接
10 腳13的輸出。

 於第二開關單元262中，P型薄膜電晶體2621之汲極係與N型薄膜電晶體2611之汲極相連接，P型薄膜電晶體2622之汲極係與N型薄膜電晶體2612之汲極相連接，P型薄膜電晶體2621,2622之源極皆與工作電壓（Vdd）相連接，P型薄
15 膜電晶體2621之閘極係與N型薄膜電晶體2612之汲極相連接，P型薄膜電晶體2622之閘極係與N型薄膜電晶體2611之汲極相連接。

 於第三開關單元263中，P型薄膜電晶體2631之汲極係與N型薄膜電晶體2612之汲極相連接，N型薄膜電晶體2632
20 之源極係與低電位相連接，P型薄膜電晶體2631之源極係與工作電壓相連接，N型薄膜電晶體2632之汲極係與P型薄膜電晶體2621之汲極相連接，P型薄膜電晶體2631之閘極係連接至第一輸入接腳21，以接收閃鎖單元1之第一控制信號接

腳13的輸出，N型薄膜電晶體2632之閘極係連接至第二輸入接腳24，以接收門鎖單元1之第二控制信號接腳14的輸出。

於第四開關單元264中，P型薄膜電晶體2641,2642之源極皆與工作電壓相連接，P型薄膜電晶體2641之閘極係與N型薄膜電晶體2611之汲極相連接，P型薄膜電晶體2642之閘極係與P型薄膜電晶體2631之汲極相連接。

於第五開關單元265中，N型薄膜電晶體2651之汲極係與P型薄膜電晶體2641之汲極相連接，且N型薄膜電晶體2651之汲極並與N型薄膜電晶體2652之閘極相連接，N型薄膜電晶體2652之汲極係與P型薄膜電晶體2642之汲極相連接，且N型薄膜電晶體2652之汲極並與N型薄膜電晶體2651之閘極相連接，N型薄膜電晶體2651,2652之源極係接至低電位。

有關本發明之掃瞄驅動器之動作，敬請一併參照圖1、圖2及圖3所顯示之功能方塊圖、電路示意圖及時序圖，其中，在T1時間點時，由門鎖單元1之設定接腳11輸入低電位之設定信號，且由門鎖單元1之重置接腳12輸入高電位之重置信號，俾供依據門鎖單元1之特性（例如SR門鎖器）而經由第一控制信號接腳13輸出高電位之第一控制信號（Q），且其第二控制信號接腳14輸出低電位之第二控制信號（ \bar{Q} ），因此N型薄膜電晶體2611,2612之閘極為高電位，而導通該等N型薄膜電晶體2611,2612，並關閉P型薄膜電晶體2631與N型薄膜電晶體2632。

由於第一時脈信號為低電位，第二時脈信號為高電位，因此P型薄膜電晶體2622導通，P型薄膜電晶體2621關閉，並使得P型薄膜電晶體2641關閉，P型薄膜電晶體2642導通，N型薄膜電晶體2651導通，N型薄膜電晶體2652關閉，
5 以輸出高準位電壓（接近工作電壓）。在T2時間點時，第一時脈信號為高電位且第二時脈信號為低電位，則P型薄膜電晶體2622關閉且P型薄膜電晶體2621導通，俾供P型薄膜電晶體2641導通且P型薄膜電晶體2642關閉，以使得N型薄膜電晶體2652導通且N型薄膜電晶體2651關閉，以將電壓準
10 位移轉電路2之輸出端25之電位下拉至低電位。

在T3時間點，門鎖單元1之重置接腳12輸入重置信號，由於輸入之重置信號為低電位，則經過門鎖單元1之後，其第二控制信號接腳14之輸出為高電位且第一控制信號接腳13之輸出為低電位，因此N型薄膜電晶體2611,2612之閘極為低電位，而關閉該二個N型薄膜電晶體2611,2612，並導
15 通P型薄膜電晶體2631及導通N型薄膜電晶體2632，以將op節點之電壓拉升至高電位（Vdd），且將on節點之電壓拉至低電位（Vss），以維持穩定狀態。

因此，P型薄膜電晶體2642導通，P型薄膜電晶體2641
20 關閉，俾供N型薄膜電晶體2651導通且N型薄膜電晶體2652關閉，以完成輸出一個掃描波形之信號。

由以上之說明可知，第一開關單元261及第四開關單元264係用來進行開關切換之動作，且第一開關單元261及第二開關單元262並用以將第一時脈信號接腳22之第一時脈

信號與第二時脈信號接腳23之第二時脈信號拉升至工作電壓準位，例如： $(0, 3.3) \rightarrow (0, V_{dd})$ 。第三開關單元263係用以提供一穩定狀態處理。第四開關單元264係用來提供一開關作用，俾供第五開關單元265能夠依據第四開關單元264之動作來拉低電壓準位，以輸出掃描信號，以達成僅需輸入低電壓準位之時脈信號來控制該等開關單元，以輸出較高電壓準位之掃描信號，於本實施例中，第一時脈信號及第二時脈信號之電壓信號範圍為0~3.3伏，掃描信號之電壓準位則與工作電壓之準位相等，即10伏，低準位電壓係為-10伏。

而在平面顯示裝置中，通常係設置複數個掃描驅動器來將面版中的薄膜電晶體打開。圖4顯示複數個掃描驅動器41,42,43,44之示意圖，第一個掃描驅動器41之輸出端412係連接至下一級掃描驅動器42之設定接腳422，後一級掃描驅動器42之輸出端421則連接至前一級掃描驅動器41之重置接腳12，每一級掃描驅動器41接連接第一時脈信號與第二時脈信號，第一級掃描驅動器41之設定接腳422及最後一個掃描器44之重置接腳441皆連接至觸發電路49之輸出端，且該等掃描驅動器41,42,43,44皆透過第一時脈信號接腳22與第二時脈信號接腳23來接收第一時脈信號與第二時脈信號，以產生設定信號或重置信號，俾供控制該等掃描驅動器41,42,43,44形成如圖5所示之掃描波形示意圖。

圖6顯示上述之觸發電路49之內部電路示意圖，其主要包括四個P型薄膜電晶體61,62,65,66、四個N型薄膜電晶體

63,64,67,68以及反相器69,N型薄膜電晶體63,64係連接第三時脈信號及第四時脈信號,且第三時脈信號與第四時脈信號之相位相反,P型薄膜電晶體61,62,65,66接與工作電壓(Vdd)相連接,俾供透過第三時脈信號及第四時脈信號來
5 產生設置信號或重置信號。

由以上之說明可知,本發明係利用門鎖單元產生互為反相之第一控制信號及第二控制信號至電壓準位移轉電路,且該電壓準位移轉電路並接收第一時脈信號及第二時脈信號,俾供電壓準位移轉電路依據第一控制信號、第二
10 控制信號、第一時脈信號以及第二時脈信號來產生一掃瞄信號,以達到僅需輸入低電壓準位之第一時脈信號及第二時脈信號,而輸出高電壓準位之掃瞄信號,以驅動顯示面板中的薄膜電晶體。

上述實施例僅係為了方便說明而舉例而已,本發明所
15 主張之權利範圍自應以申請專利範圍所述為準,而非僅限於上述實施例。

【圖式簡單說明】

圖1係本發明一較佳實施例之功能方塊圖。

20 圖2係本發明一較佳實施例之電壓準位移轉電路之電路示意圖。

圖3係本發明一較佳實施例之電壓準位移轉電路之動作時序圖。

圖4係本發明一較佳實施例之多級掃瞄驅動器之連接示意圖。

圖5係本發明一較佳實施例之多級掃瞄驅動器之輸出掃瞄波形示意圖。

5 圖6係本發明一較佳實施例之觸發控制電路之內部電路示意圖。

【圖號說明】

門鎖單元	1	設定接腳	11,422
重置接腳	12,441	第一控制信號接腳	13
第二控制信號接腳	14	電壓準位移轉電路	2
第一輸入接腳	21	第一時脈信號接腳	22
第二時脈信號接腳	23	第二輸入接腳	24
電壓準位移轉電路	25	第一組開關單元	261
之輸出端			
第二組開關單元	262	第三組開關單元	263
第四組開關單元	264	第五組開關單元	265
N型薄膜電晶體	2611,2612,2632,2651,2652,63,64,67,68		
P型薄膜電晶體	2621,2622,2631,2641,2642,61,62,65,66		
緩衝器	3	掃瞄驅動器	41,42,43,44
掃瞄驅動器輸出端	412,421	觸發電路	49
反相器	69		

拾、申請專利範圍：

1. 一種低電壓輸入之掃瞄驅動器，係設置於一具有複數薄膜電晶體之平面顯示裝置中，該掃瞄驅動器包括：

一閃鎖單元，係用以產生互為反相之第一控制信號與
5 第二控制信號；以及

一電壓準位移轉電路，包括：

一第一開關單元，係接收一第一時脈信號以及一第二時脈信號，並由該第一控制信號進行開關切換；

一第二開關單元，連接於一工作電壓，且以一第一連
10 接點與一第二連接點而連接於該第一開關單元，俾藉由該第一開關單元之開關切換來接收該第一時脈信號與該第二時脈信號，以將該第一連接點或該第二連接點之電壓準位拉升至該工作電壓；

一第三開關單元，係與該第一、第二連接點以及該工
15 作電壓相連接，並接收該第一控制信號及該第二控制信號，且藉由該第一開關單元之開關切換來接收該第一時脈信號或該第二時脈信號，以提供一穩定狀態處理；

一第四開關單元，係與該第一、第二連接點以及該工
作電壓相連接，俾依據該第一接點及第二接點之電壓準位
20 來進行開關切換；以及

一第五開關單元，係與該第四開關單元相連接，俾依據該第四開關單元之開關切換來產生一掃瞄信號，以輸出之。

2. 如申請專利範圍第1項所述之掃瞄驅動器，其更包括一與該電壓準位移轉電路相連接之緩衝單元，俾接收該掃瞄信號而增強該掃瞄信號之驅動能力。

3. 如申請專利範圍第1項所述之掃瞄驅動器，其中，該
5 門鎖單元係為SR門鎖器。

4. 一種低電壓輸入之掃瞄驅動系統，係由複數個掃瞄驅動器串接而成，每一掃瞄驅動器包括：

一門鎖單元，係以一設定接腳與一重置接腳來產生互為反相之第一控制信號與第二控制信號；以及

10 一電壓準位移轉電路，包括：

一第一開關單元，係接收一第一時脈信號以及一第二時脈信號，並由該第一控制信號進行開關切換；

一第二開關單元，連接於一工作電壓，且以一第一連接點與一第二連接點而連接於該第一開關單元，俾藉由該
15 第一開關單元之開關切換來接收該第一時脈信號與該第二時脈信號，以將該第一連接點或該第二連接點之電壓準位拉升至該工作電壓；

一第三開關單元，係與該第一、第二連接點以及該工作電壓相連接，並接收該第一控制信號及該第二控制信號，且藉由該第一開關單元之開關切換來接收該第一時脈信號或該第二時脈信號，以提供一穩定狀態處理；
20

一第四開關單元，係與該第一、第二連接點以及該工作電壓相連接，俾依據該第一接點及第二接點之電壓準位來進行開關切換；以及

一第五開關單元，係與該第四開關單元相連接，俾依據該第四開關單元之開關切換來產生一掃瞄信號於一輸出端，

其中，每一掃瞄驅動器的輸出端係與下一掃瞄驅動器之設定接腳相連接，每一掃瞄驅動器之重置接腳係與下一掃瞄驅動器之輸出端相連接。

5. 如申請專利範圍第4項所述之掃瞄驅動系統，其中，於該串接之複數個掃瞄驅動器中，第一個掃瞄驅動器之設定接腳及最後一個掃瞄驅動器之重置接腳係與一觸發單元相連接。

6. 一種電壓準位移轉電路，包括：

一第一開關單元，係接收一第一時脈信號以及一第二時脈信號，並由一第一控制信號進行開關切換；

一第二開關單元，連接於一工作電壓，且以一第一連接點與一第二連接點而連接於該第一開關單元，俾藉由該第一開關單元之開關切換來接收該第一時脈信號與該第二時脈信號，以將該第一連接點或該第二連接點之電壓準位拉升至該工作電壓；

一第三開關單元，係與該第一、第二連接點以及該工作電壓相連接，並接該第一控制信號及該第二控制信號，且藉由該第一開關單元之開關切換來接收該第一時脈信號或該第二時脈信號，以提供一穩定狀態處理；

一 第四開關單元，係與該第一、第二連接點以及該工作電壓相連接，俾依據該第一接點及第二接點之電壓準位來進行開關切換；以及

5 一 第五開關單元，係與該第四開關單元相連接，俾依據該第四開關單元之開關切換來產生一掃描信號，以輸出之。

7. 如申請專利範圍第6項所述之電壓準位移轉電路，其中，該第一開關單元、該第二開關單元、該第三開關單元、該第四開關單元以及該第五開關單元皆具有複數開關元
10 件。

8. 如申請專利範圍第7項所述之電壓準位移轉電路，其中，該等開關元件係為薄膜電晶體（TFT）。

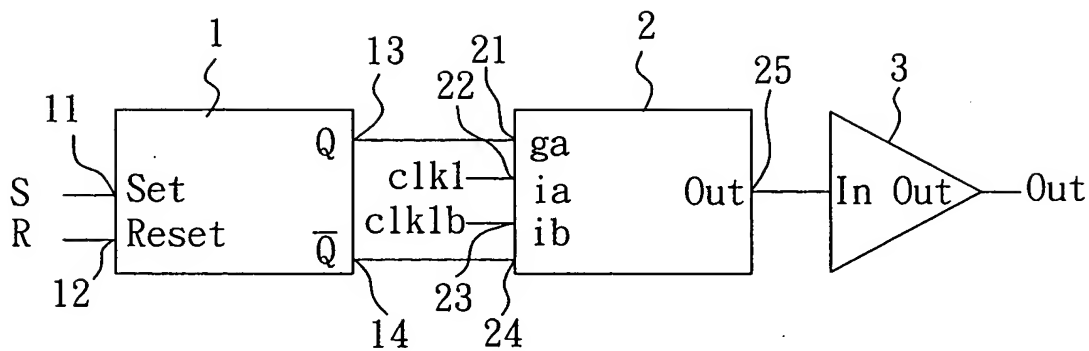


圖 1

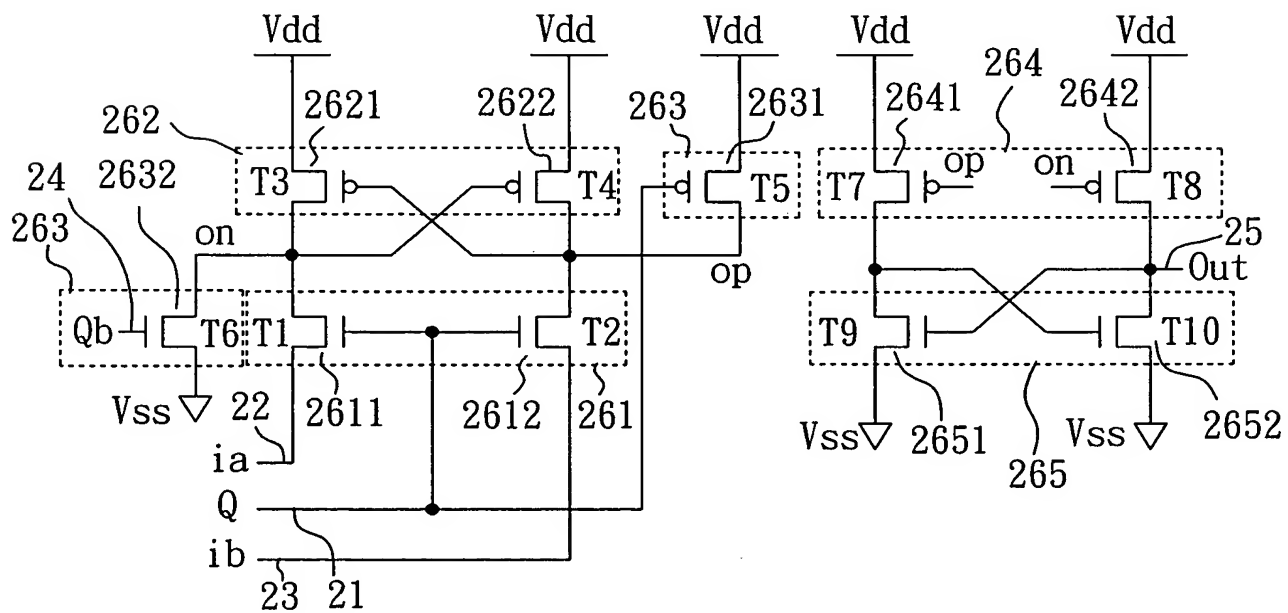


圖 2

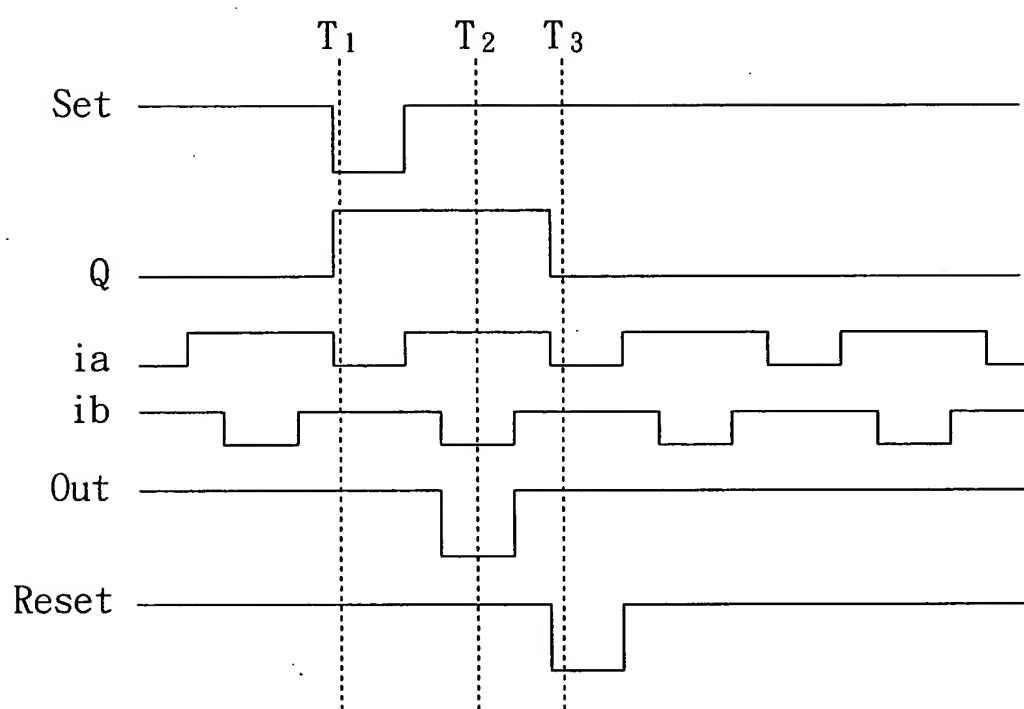


圖 3

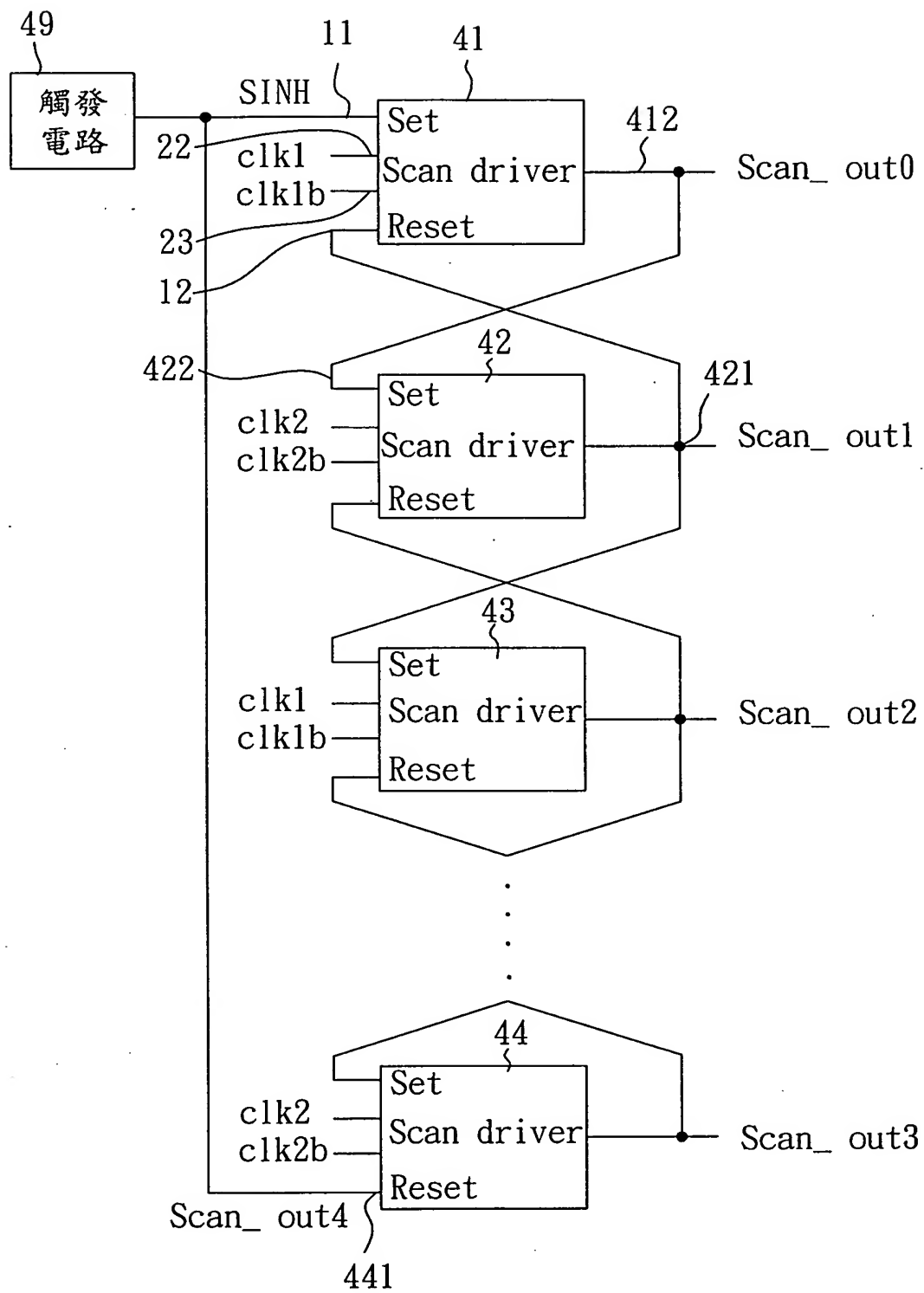


圖 4

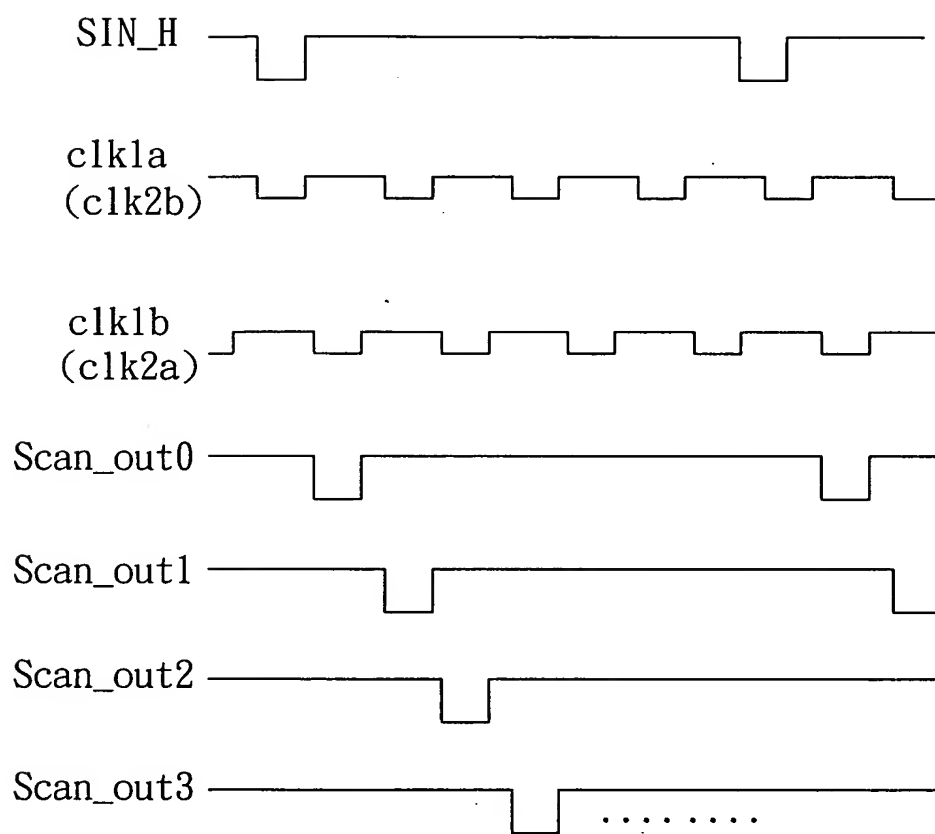


圖5

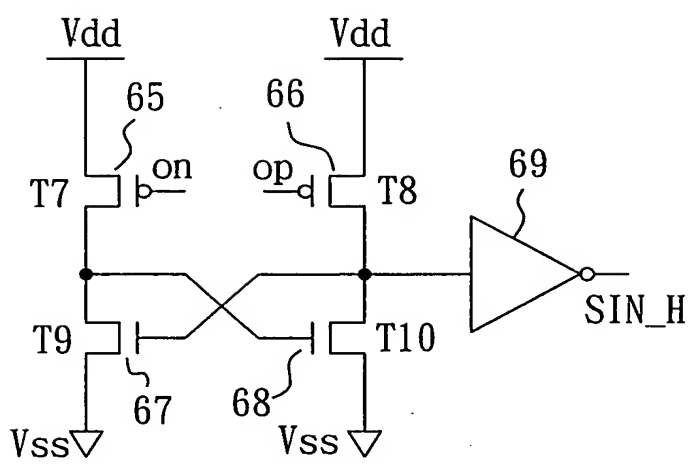
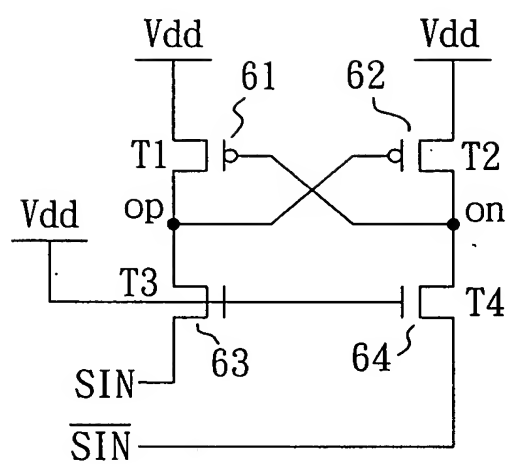


圖6